

吴奕辰 电子工程师

18945633466 | wth3958@126.com | 1998/06



教育经历

谢菲尔德大学 (QS世界排名96)	硕士	电子与电气工程	2022/09 – 2023/10
GPA: 3.45/4 (专业排名前20%)			
主修课程: 先进集成电路, 超大型集成电路设计, 纳米电子器件, 微系统封装与可靠性, 先进信号处理			
哈尔滨工业大学	学士	电气工程及其自动化	2017/09 – 2021/06
主修课程: 数字电子技术, 模拟电子技术, 电路基础, 电力电子技术, C语言			

项目经历

基于RNS的容错乘法累加器设计 子课题负责人 2023/06-2023/10

- 项目背景:** 该项目为英国谢菲尔德大学Neil Powell教授团队的研发项目, 旨在提出并实现一种高性能的二进制数向剩余数转换器, 以实现乘法累加器的硬件加速及内存优化, 并应用于基于剩余数系统的RISC-V算术逻辑单元。
- 子课题研究方向:** An Advanced Forward Converter For Fault-tolerance RNS MAC (基于剩余数系统的容错乘法累加器的高性能前向转换器的设计与研究)
- 主要工作:** 使用python设计并验证基于剩余数系统的容错乘法累加器模型, 使用Verilog实现前向转换器的硬件描述, 在Vivado平台进行仿真与实现并对其性能进行对比分析。
- 主要成果:** 针对16位剩余数系统的二进制数向剩余数转换, 提出一种三级树状结构的前向转换器, 该结构在硬件实现过程中, 相较于Verilog运算符的直接模运算减少了42%内存消耗; 针对前向转换器中的加法器, 提出模加法器和全加法器混合的方法, 相较于单一模加法器结构在内存消耗上减少1.3%;

高速AES加密系统设计 团队负责人 2022/09-2023/06

- 项目描述:** 从高速的角度出发, 设计128位AES加密系统, 使用C语言完成系统模型的设计及功能验证, 使用Verilog实现硬件描述。
- 主要工作:** 对团队进行任务分配, 负责设计总体框架、数据通路及复杂功能部件, 并对所有模块进行Testbench验证与性能优化;
- 主要贡献:** 在Verilog HDL实现过程中对所以功能模块进行优化, 利用更简洁的组合逻辑、时序逻辑电路使资源占用节省48%。提出采用组合逻辑电路的方式对加密流程进行优化, 使加密时间从54个时钟周期缩短至20个时钟周期;
- 项目收获:** 在项目中掌握了数字电路前端的开发流程, 掌握了Testbench功能验证方法, 并锻炼了团队沟通与团队资源整合的能力。

基于树莓派的人脸识别系统 项目负责人 2020/09-2021/06

- 项目描述:** 该项目旨在基于树莓派4B开发板设计一个简易人脸识别系统, 从人脸识别算法的角度出发, 设计并实现更精准迅速的人脸识别系统。
- 主要工作:** 在python环境下使用Tensorflow中内置的keras模型构建卷积神经网络模型, 通过开源人脸图片库进行模型训练及验证; 在人脸识别具体环节设计中, 对图像预处理算法进行研究, 对灰度化、滤波、和对比度增强的算法进行了对比实验与选择; 将人脸识别模型移植到树莓派4B开发板并调用外置摄像头接口实现人脸识别功能。
- 主要成果:** 针对人脸识别算法, 采用卷积神经网络算法代替SVM机器学习算法, 使识别准确度从90.1%提高至99.8%;
- 项目收获:** 掌握CNN的原理以及在python环境下的CNN模型开发训练流程, 掌握了嵌入式系统的开发流程。

专业技能

计算机编程语言: 熟练使用python、C语言

英语水平: 英语CET-6, 雅思6.5, 有大量英文文献阅读经验, 有独立撰写英文学术论文能力。

硬件描述语言: 精通Verilog HDL, 熟练运用各种组合逻辑电路、时序逻辑电路、状态机等, 熟练掌握Testbench的编写及验证方法。

掌握的工具: Vivado、MATLAB、Visual Studio、Simulink